

3 / Priority Doc.
E. Hillis
4-18-00

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshikazu INOUE et al.**

Serial Number: **Not Yet Assigned**

Filed: **December 29, 1999**

For: **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

December 29, 1999

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-140346, filed May 20, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON

Le-Nhung McLeland
Reg. No. 31,541

Atty. Docket No.: 991493
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
LNM/yap

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC598 U.S. PTO
09/473988
12/29/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 5月20日

出 願 番 号
Application Number:

平成11年特許願第140346号

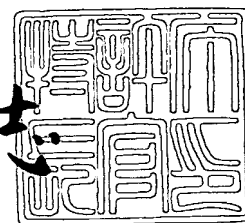
出 願 人
Applicant(s):

富士通株式会社
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
富士通エイ・エム・ディ・セミコンダクタ株式会社

1999年 8月25日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3059592

【書類名】 特許願

【整理番号】 9805466

【提出日】 平成11年 5月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768
H01L 21/316
H01L 21/3205

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 4

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・
エム・ディ・セミコンダクタ株式会社内

【氏名】 井上 利一

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・
エム・ディ・セミコンダクタ株式会社内

【氏名】 木下 忠士

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・
エム・ディ・セミコンダクタ株式会社内

【氏名】 望月 一寿

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 福山 俊一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 塩原 守男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 591016172

【氏名又は名称】 アドバンスト・マイクロ・ディバイシズ・インコーポレ
ーション

【代表者】 ダブリュ・ジェイ・サンダース サード

【国籍】 アメリカ合衆国

【特許出願人】

【識別番号】 596180124

【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

【識別番号】 100072590

【弁理士】

【氏名又は名称】 井桁 貞一

【電話番号】 044-754-3035

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704486

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 導電膜上に被着形成され、SiHを含有する組成の絶縁層を含む層間絶縁膜を備えた半導体装置であって、

前記絶縁層は、前記組成中でH含有量が15.4 (atom%)以上とされたものであることを特徴とする半導体装置。

【請求項 2】 前記導電膜の表面の一部を露出させる接続孔が形成され、前記接続孔を通じて前記導電膜と電氣的に接続された配線層が形成されており、

前記接続孔は、上部の壁面がなだらかなテーパ状に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板上に半導体素子が形成され、前記半導体素子の層で当該半導体素子と電氣的に接続された多層配線構造を備えた半導体装置の製造方法であって、

前記多層配線構造を、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造に形成し、

前記層間絶縁膜を構成する少なくとも一絶縁層を、SiHを含有する組成の材料膜を塗布形成した後、前記材料膜にキュアを施し、前記材料膜の含有するSiH量を塗布直後の50 (%)以上の所定値に調節して形成することを特徴とする半導体装置の製造方法。

【請求項 4】 半導体基板上に半導体素子が形成され、前記半導体素子の層で当該半導体素子と電氣的に接続された多層配線構造を備えた半導体装置の製造方法であって、

前記多層配線構造を、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造に形成し、

前記層間絶縁膜を構成する少なくとも一絶縁層を、SiHを含有する組成の材料膜を塗布形成した後、前記材料膜にキュアを施し、前記材料膜の前記組成中の

H量を15.4 (atom%)以上の所定値に調節して、前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率の絶縁層を含む層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体デバイスの高集積化の要請に応えるため、主としてフォトリソグラフィー時におけるパターン寸法の更なる微細化、層間絶縁膜の品質向上化などが進められている。パターン寸法の微細化を実現するための多層配線技術に不可欠な要請としては、微細な接続孔（コンタクトホール）の形成技術の精度向上があり、層間絶縁膜の品質向上化に不可欠な要請としては、高集積化に伴う配線遅延を抑止するために低誘電率の絶縁膜材料を用いることが必要とされている。

【0003】

従来、コンタクトホールを利用した配線の接続技術としては、シリコン基板の上層で下部配線層を覆うように形成された層間絶縁膜に異方性エッチングを施して下部配線層の表面の一部を露出させるコンタクトホールを形成した後、前記コンタクトホール内を埋め込むようにアルミニウム系合金材料を被着形成し、層間絶縁膜上で上部配線層となるようにパターンングすることにより下部配線層と上部配線層とを電氣的に接続する手法が一般的に行なわれている。

【0004】

しかしながら、上述のようにコンタクトホールの微細化を図る場合、異方性エッチングのみでコンタクトホールを開孔形成すると、その周縁部位でアルミニウム系合金材料が薄くなったり、半導体デバイスの製造工程中の加熱処理により配線層に断線が生じてしまう等の問題が発生する危険性がある。

【0005】

この問題に対処する好適な一方法として、特開昭56-90523号公報に開

示された手法が案出されている。この手法は、コンタクトホールを形成する際に、異方性エッチングに先立って等方性エッチングを行なうものである。具体的には、異方性エッチングを適用して半導体素子の不純物領域を露出させる前に、等方性エッチングを適用することで、コンタクトホールの周縁部位をなだらかな略テーパー形状に形成する。これにより、コンタクトホールが微細であっても、アルミニウム系合金材料が当該コンタクトホール内を含むその周縁部位を均一に覆い、配線層の切断の問題を解消することができる。

【0006】

他方、配線遅延を抑止する低誘電率の絶縁膜材料として好適なものに、いわゆるSOG（スピン・オン・グラス：Spin On Glass）、HSQ（水素シルセスキオキサン：Hydrogen Silsesquioxane）がある。ここで、SOGは、平坦化性に優れた塗布膜であり、低誘電率の点では優れているものの、配線材料として用いられるアルミニウムやアルミニウム系合金との密着性が低く、絶縁膜形成後に配線脇にボイドを生じ、絶縁層が吸湿した際に水分が配線脇に溜まることから配線腐食を招く危険性があるため、配線層へのダメージが問題視されている。従って、低誘電率であり形成の容易性や平坦化に優れ、且つ配線材料との密着性にも優れたHSQが半導体デバイスの高集積化に最も適した絶縁膜材料の一つであると言える。

【0007】

【発明が解決しようとする課題】

しかしながら、特開昭56-90523号公報の手法で、特にコンタクトホール形成時の等方性エッチングをウェットエッチャントを用いて行なおうとすると、層間絶縁膜を構成する一絶縁層としてHSQ膜を形成した場合に、以下に示すような深刻な問題を招く。

【0008】

HSQ膜は比較的含水率が高く、従って製造途中で加熱工程時にHSQ膜から生じる水蒸気を封じる目的で、HSQ膜を覆うようにCVD（化学気相成長：Chemical Vapor Deposition）絶縁層を形成することが多い。

【0009】

この場合、HSQ膜から発生する水蒸気はCVD絶縁層で封止されるものの、CVD絶縁層には当該水蒸気により線状の欠陥が生じ易くなる。上記の手法によれば、CVD絶縁層のコンタクトホール周囲の周縁部となる部位にエッチング液を用いた等方性エッチングが施されることになるが、CVD絶縁層に線状欠陥が存するとエッチング液がこの線状欠陥を伝わって下層のHSQ膜を浸食する。HSQ膜のエッチングレートはCVD絶縁層に比して高いため、エッチング液の浸食によるHSQ膜のダメージは大きく、深刻なエッチング欠陥が惹起されることになる。

【0010】

即ち、配線層形成の際にアルミニウム系合金材料の切断発生を確実に防止するために、十分な等方性エッチングを行なえばそれだけHSQ膜にエッチング欠陥の発生危険性が増大し、一方で等方性エッチング量を減らせば前記エッチング欠陥を抑制することはできるがアルミニウム系合金材料の切断発生が生じやすくなる。このように、半導体デバイスの高集積化を進める程、微細コンタクトホールに対する高信頼性の要請と配線遅延を抑止する要請という互いに相反する要請を調整する必要性が高くなり、高集積化の実現が益々困難となるという問題がある。

【0011】

そこで、本発明の目的は、簡易な構成で、微細コンタクトホールに対する高信頼性の要請と配線遅延を抑止する要請とを共に満たし、容易且つ確実に各種デバイス、特に半導体デバイスの高集積化に寄与することを可能とする半導体装置及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】

以上の課題を解決するため、本発明では以下に示す手段を用いる。

【0013】

第1の手段は、導電膜上に被着形成され、SiHを含有する組成の絶縁層を含む層間絶縁膜を備えた半導体装置を対象とする。この第1の手段は、前記絶縁層を、前記組成中でH含有量が15.4 (atom%) 以上のものとする。

【0014】

第1の手段は、前記導電膜の表面の一部を露出させる接続孔が形成され、前記接続孔を通じて前記導電膜と電氣的に接続されるように配線層が形成されて、前記接続孔が上部の壁面がなだらかなテーパ状に形成されてなる半導体装置に適用して特に好適である。

【0015】

また、第1の手段において、層間絶縁膜の下に形成される構成要素を、導電膜に代えて半導体基板上に形成された半導体素子としたり、導電膜に代えて多層配線構造としても良い。

【0016】

第2の手段は、半導体基板上に半導体素子が形成され、前記半導体素子の上層で当該半導体素子と電氣的に接続された多層配線構造を備えた半導体装置の製造方法を対象とする。この第2の手段は、前記多層配線構造を、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造に形成し、前記層間絶縁膜を構成する少なくとも一絶縁層を、SiHを含有する組成の材料膜を塗布形成した後、前記材料膜にキュアを施し、前記材料膜の含有するSiH量を塗布直後の50(%)以上の所定値に調節して形成する。

【0017】

第3の手段は、半導体基板上に半導体素子が形成され、前記半導体素子の上層で当該半導体素子と電氣的に接続された多層配線構造を備えた半導体装置の製造方法を対象とする。この第3の手段は、前記多層配線構造を、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造に形成し、前記層間絶縁膜を構成する少なくとも一絶縁層を、SiHを含有する組成の材料膜を塗布形成した後、前記材料膜にキュアを施し、前記材料膜の前記組成中のH量を15.4(atom%)以上の所定値に調節して、前記絶縁層を形成する。

【0018】

第2、3の手段において、前記材料膜にキュアを施す工程の際に、キュア炉中

へのロードイン温度及びロードアウト温度の少なくとも一方を350℃以下の所定温度としても良い。

【0019】

また、第2、3の手段において、前記材料膜にキュアを施す工程の際に、キュア炉中へのロードイン後に前記ロードイン時の温度で10分以上継続してキュアを施しても良い。

【0020】

第2、3の手段は、前記接続孔を、前記層間絶縁膜の表層に等方性エッチングを施し、前記表層に壁面がなだらかなテーパ状の窪みを形成した後、前記窪みから前記層間絶縁膜を貫通して前記導電膜の表面の一部を露出させて形成する半導体装置の製造方法に適用して特に好適である。

【0021】

【作用】

本発明者らは、HSQ膜について、その含有する疎水性を有するSiHの量と前記HSQ膜からの脱ガス量との相関関係において、SiH量の変動により前記脱ガス量に急峻な変化が生じると見做せるしきい値が存在することを見出した（図7参照）。即ち、このしきい値を境にして、SiH量の微小増加により前記脱ガス量に急激な減少が生じることになる。

【0022】

前記しきい値は、HSQ膜を含む層間絶縁膜を形成するに際して、HSQ膜の塗布形成直後のSiH量に対するキュア後のHSQ膜のSiH量が50（％）となる状態に相当する。また、HSQの組成式は $\text{HSiO}_{1.5}$ で表され、キュアによる架橋反応により2個のHが取れてOが1個導入されるので、SiH量が50（％）のときのHSQの組成式は $\text{H}_{0.5}\text{SiO}_{1.75}$ で表され、このときのHSQ膜のH量は $(0.5/3.25) \times 100 \div 15.4$ （atom％）となる。このことから、「HSQ膜の塗布形成直後のSiH量に対するキュア後のHSQ膜のSiH量が50（％）以上」とは、HSQ膜の含有するH量の絶対的な値が15.4（atom％）以上とほぼ等価となる。このようにH量（atom％）で規定するならば、前記しきい値に相当するHSQ膜の組成状態を、HSQ膜の形成過程にお

ける諸状態の相対的な比較値ではなく、形成された最終的なH S Q膜について一意に定めることができる。

【0023】

本発明においては、H S Q膜の有する上述の性質を利用して、前記しきい値以上に相当するように相対的なS i H量又は絶対的なH量を含むH S Q膜を層間絶縁膜の一絶縁層として用いることにより、H S Q膜の吸湿性が大幅に低減し、吸湿成分の脱離に起因して上部絶縁層（例えばC V D絶縁層）に発生すると考えられる線状欠陥が抑止される。

【0024】

従って、層間絶縁膜に微細接続孔を形成する際に、被着した配線材料に生じがちな切断を防止するために上部絶縁層に十分な等方性エッチングを施しても、C V D絶縁層には線状欠陥が殆ど存しないためにエッチング液が下層の絶縁層（H S Q膜）へ浸食することがない。即ち、前記層間絶縁膜を例えば多層配線半導体デバイスの配線層間の層間絶縁膜として用いることにより、配線遅延を抑止するとともに、容易且つ正確に配線間接続を行なうことが可能となる。

【0025】

【発明の実施の形態】

以下、本発明の好適な諸実施形態について、図面を参照しながら詳細に説明する。

【0026】

（第1の実施形態）

第1の実施形態では、本発明を適用した半導体装置について例示し、特にその構造を、層間絶縁膜に配線接続のための微細な接続孔（コンタクトホール）を形成して多層配線化を実現する好適な方法と共に説明する。

【0027】

図1～図3は、層間絶縁膜にコンタクトホールを形成する多層配線接続を行なう方法を工程順に示す概略断面図である。

まず、図1（a）に示すように、表面に種々の半導体素子が形成された半導体基板（共に図示を省略する。）の上層にアルミニウム系合金材料をスパッタ法に

より被着形成し、パターニングすることにより下部配線層となる導電膜 1 を形成する。

【 0 0 2 8 】

続いて、導電膜 1 を覆うように、本実施形態の主な特徴である 3 層構造の層間絶縁膜 2 を形成する。この層間絶縁膜 2 は、CVD シリコン酸窒化膜 1 1（以下、単に酸窒化膜 1 1 と称する。）と、HSQ（水素シルセスキオキサン：Hydrogen Silsesquioxane）膜 1 2 と、CVD シリコン酸化膜 1 3（以下、単に酸化膜 1 3 と称する。）とを順次積層することで構成されるものである。

【 0 0 2 9 】

具体的には、先ず図 1（b）に示すように、プラズマ CVD 法により、導電膜 1 を覆う酸窒化膜 1 1 を堆積形成する。

【 0 0 3 0 】

続いて、図 1（c）に示すように、酸窒化膜 1 1 上に配線遅延を抑止する低誘電率の絶縁層である HSQ 膜 1 2 を形成する。この HSQ 膜 1 2 は塗布により形成されるため、所望の平坦化が容易である。更に、この HSQ 膜 1 2 に前段階処理であるベーク及び主処理であるキュアを施し、後述する理由から HSQ 膜 1 2 の含有する Si H 量をキュア後の塗布直後に対する割合で 5 0（%）以上の所定量に調節する。

【 0 0 3 1 】

ベーク工程は 3 回のベークからなる。1 回目は HSQ 膜 1 2 中の揮発性溶剤の成分脱離を目的とし、1 5 0℃で 1 分間行い、2 回目は HSQ 膜 1 2 のリフローを目的とし、2 0 0℃で 1 分間行い、3 回目は HSQ 膜 1 2 の固化を目的とし、3 5 0℃で 1 分間行う。

【 0 0 3 2 】

ベーク工程に続くキュア工程のシーケンスを図 4 に示す。図 4 中の実線で示すように、先ず、N₂ ガスを所定のキュア炉内に流量 3 0 S L で導入し、半導体基板を 3 5 0℃でロードインして、同温度で 1 0 分間保持する。次に、4 0 0℃で 3 0 分間のキュアを行なう。そしてキュア終了後は、3 5 0℃に降温させた後、ロードアウトする。

【0033】

このように、ロードイン時における保持時間を規定することにより、キュア炉内の残存酸素量を抑制することができ、これによりHSQと酸素との架橋反応が制御され、HSQ膜12中に残存するSiH量を前記所定量に調節することが可能となる。

【0034】

続いて、図1(d)に示すように、プラズマCVD法により、HSQ膜12上に酸化膜13を堆積形成する。この酸化膜13は、HSQが比較的含水率の高い絶縁材料であるため、製造途中の加熱工程時にHSQ膜12から生じる水蒸気を封じる目的で、HSQ膜12を覆うように形成されるものである。即ち、HSQ膜12を酸化膜13及び酸化窒化膜11で上下から覆い、前記水蒸気の拡散を抑止する。

【0035】

この場合、本発明の主な目的の一つであるHSQ膜からの水蒸気に起因して状層CVD酸化膜に発生しがちな線状欠陥の抑止を更に確実なものとするため、図2(a)に示すように、酸化膜13を多重構造、ここでは6層（酸化層13a～13f）に形成してもよい。以下、説明上の便宜も考慮して、このように酸化膜13を6層構造にした場合について例示する。

【0036】

酸化層13a～13fは、膜厚が順に概ね65nm、65nm、80nm、80nm、80nm、80nmに形成され、酸化膜13としては450nm程度の膜厚となる。このように、酸化膜13を多層に形成することにより、図5に酸化膜13近傍を拡大して示すように、仮に本実施形態のようにSiH量の制御を考慮せずにHSQ膜21を形成した結果、欠陥核22を起点とした多数の線状欠陥23が発生しても、それが拡大又は伝線することなく、線状欠陥23は各層13a～13f毎で短く形成されるに留まる。そして、本実施形態のようにSiH量の制御に加えて酸化膜13を多層形成することにより、更に線状欠陥の発生が抑止される。

【0037】

続いて、上述のように酸化膜 13 を形成した後、図 2 (b) に示すように、酸化膜 13 の表面にフォトレジスト 14 を塗布形成し、このフォトレジスト 14 にフォトリソグラフィを施してコンタクトパターン 14 a を形成する。

【0038】

続いて、コンタクトパターン 14 a を通じて、当該コンタクトパターン 14 a から露出する酸化膜 13 にエッチング液を作用させ、等方性エッチングを施して酸化膜 13 を 300 nm 程度エッチング除去する。ここで、エッチング液としては、例えば (水 : HF : NH_4F) の比を (130 : 1 : 7) , (94.4 : 1 : 8.65) 又は (40 : 1 : 0) としたものを用いる。この等方性エッチングにより、フォトレジスト 14 の下方でコンタクトパターン 14 a をほぼ中心として酸化膜 13 の表層になだらかなテーパ状の幅広な形状の窪み 15 a が形成される。

【0039】

続いて、図 2 (c) に示すように、異方性エッチング、ここでは通常の RIE (Reactive Ion Etching) によりフォトレジスト 14 をマスクとして酸化膜 13、HSQ 膜 12 及び酸窒化膜 11 にコンタクトパターン 14 a に倣った開孔 15 b を形成し、導電膜 1 の表面の一部を露出させる。これにより、窪み 15 a 及び開孔 15 b からなるコンタクトホール 15 が形成される。ここで、RIE の際に用いるエッチングガスとしては、例えば CHF_3 と CF_4 等の混合ガスなどのフロン系のものを用い、各ガスの流量を CHF_3 が 70 sccm、 CF_4 が 60 sccm、Ar が 417 sccm、He が 1042 sccm、 N_2 が 30 sccm となるように調節し、RF 投入電力を 1400 W、圧力を 1000 Torr の各条件に設定する。

【0040】

続いて、フォトレジスト 14 を灰化处理等の手法により除去した後、コンタクトホール 14 から露出する導電膜 1 の表面に形成された自然酸化膜 (図示を省略する。) を除去する。この自然酸化膜は、下記のアルミニウム系合金材料をスパッタ形成するために基板をスパッタリングチャンバに搬送する際に大気に触れて形成されるものであり、搬送中も基板が大気中を通過することがなければ形成さ

れないことから、その場合には当該除去工程を省略できる。

【0041】

続いて、図3に示すように、酸化膜13の表面にコンタクトホール15を埋め込むようにアルミニウム系合金材料をスパッタ法により被着形成する。ここで、当該アルミニウム系合金材料としては、マイグレーション防止の必要性及び基板へのアロイスパイク発生の程度等を考慮し、例えばアルミニウム-1(%)シリコン、アルミニウム-0.5(%)シリコン-0.5(%)銅、アルミニウム-0.5(%)シリコン-0.5(%)チタン等を用いる。この場合、コンタクトホール15が極めて微細なものであっても、先の等方性エッチング工程でコンタクトホール15はその上部(窪み15a)で間口が広がり且つホール壁面(窪み15aの壁面)がなだらかであるため、この部位でアルミニウム系合金材料がほぼ均一に被着され、スパッタリングのいわゆるシャドウイング効果が緩和又は解消される。従って、アルミニウム系合金材料はホール近傍で切断等することなく正確にコンタクトホール15に充填されるとともに、ほぼ均一の厚みで酸化膜13上に広がる。

【0042】

しかる後、酸化膜13上のアルミニウム系合金材料をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングし、酸化膜13上で延在し、コンタクトホール15を通じて下層の導電膜1と電気的に接続された配線層(上部配線層)16を形成する。

【0043】

以上説明したように、本実施形態では、層間絶縁膜2を構成する一絶縁層としてHSQ膜12を形成する。このHSQ膜12は、平坦化性に優れた塗布膜であり、半導体装置の高集積化に伴って発生しがちな配線遅延を抑止する低誘電率の絶縁層であって、その含有するSiH量(又はH量)が下記の所定値に調節されている。

【0044】

HSQは、比較的含水率が高い絶縁材料であるため、製造途中で加熱工程時に当該HSQ膜から生じる水蒸気を封じる目的で、HSQ膜を覆うCVD絶縁層(

例えば酸化膜 13) が形成される。ここで、含有する Si H 量を制御することなく HSQ 膜 21 を形成し、これを覆うように単層の酸化膜 13 を形成した比較例を図 6 に示す。図 6 (a) が、本実施形態と同様にコンタクトホール 15 となる部位の上部に等方性エッチングにより窪み 15 a を形成した工程を、図 6 (b) が、コンタクトホール 15 を形成した工程をそれぞれ表す。この場合、酸化膜 13 の形成時における加熱工程で HSQ 膜 21 から発生した水蒸気に起因して、酸化膜 13 には欠陥核 22 を起点とした長い線状欠陥 24 が生じる。この状態で酸化膜 13 の表層に等方性エッチングを施してシャドウイング効果を緩和又は解消するに十分な窪み 15 a を形成すると、エッチング液が線状欠陥 24 を通して HSQ 膜 21 を浸食し、空洞状のエッチング欠陥であるいわゆるバブル欠陥 25 が生じて製品の信頼性の著しい低下が招来される。

【0045】

そこで、本発明者らは、HSQ の高含水性を疎水性の Si H の量 (又は H 量) を調節することで制御し、上層の CVD 絶縁層 (酸化膜 13) の線状欠陥の発生を抑止することに想到した。そして、このアイデアを具体化するべく、HSQ 膜の Si H の量と当該 HSQ 膜からの脱ガス量との相関関係を調べたところ、Si H 量の変動により当該脱ガス量に急峻な変化が生じると見做せるしきい値が存在することを見出した。

【0046】

具体的な測定結果を図 7 に示す。ここで、前記脱ガス量をそれが原因して発生する前記バブル欠陥の数で規定し、基板のスクライブライン上におけるバブル欠陥数を観察することで測定した。

【0047】

そして、HSQ 膜中の Si H 量をその塗布形成直後の Si H 量に対するキュア後の Si H 量の割合 (%) で規定し、当該各状態における Si H 量は、フーリエ変換赤外分光法 (FT-IR) により HSQ 膜のスペクトルの相対値を測定することで求めた。このスペクトルの測定結果を図 8 に示す。図中、波数が 2250 (1/cm) 付近に見られるピークが HSQ 膜中の Si-H 結合による吸収を示しており、塗布形成直後のピーク強度を 100 (%) と規定してキュア後の残存

する Si H 量を評価する。

【0048】

図 7 に示すように、Si H 量の 50 (%) 近傍から急激にバブル欠陥数が減少しており、当該近傍にバブル欠陥数の急激な減少が認められるしきい値が存在する。この現象は、残存する Si H 量の増加に起因して HSQ 膜の吸湿性が抑制され、それにより上層の CVD 絶縁層中への脱ガスが抑止され、CVD 絶縁層中の線状欠陥の発生が抑止されたことを示唆しており、それによりバブル欠陥数が大幅に減少したものと推定される。

【0049】

更に、等方性エッチングによる窪み 15 a の形成時において、HSQ 膜 12 の残存する Si H 量を 50 (%) に制御し、エッチング量とバブル欠陥数との関係を調べた。測定結果を図 9 に示す。ここで、いわゆるシャドウイング効果を緩和又は解消するに十分なエッチング量は 3000 Å 程度と考えられており、図 9 によればエッチング量が 3000 Å のときにバブル欠陥数はほぼ 0 個レベルに抑えられている。従って、Si H 量を 50 (%) に制御することで等方性エッチングの十分な量が確保されることが判る。

【0050】

なお、材料や製造工程における諸条件の変動により、Si H 量 (%) とバブル欠陥数との関係が変化することもあるが、このような場合でも、前記しきい値が存在し、Si H 量に関して若干シフトする。この場合には、シフトしたしきい値以上の Si H 量となるように、例えば HSQ 膜のキュア条件を当該変動に適合させることでこれに対処することが可能である。

【0051】

HSQ 膜 12 の残存する Si H 量の調節するには、本実施形態で説明したように、HSQ 膜 12 のキュア時におけるロードイン時の温度及びその後の保持時間、ロードアウト時の温度の各条件を考慮して制御すればよい。これらの条件と Si H 量 (%) との関係を図 10 に示す。ここで、図 10 (a) がロードイン時の温度と Si H 量との関係を、図 10 (b) がロードアウト時の温度と Si H 量との関係を、図 10 (c) がロードイン後の保持時間と Si H 量との関係をそれぞれ

れ示している。図 1 0 (a) ではロードアウト時の温度を 3 5 0℃、ロードアウト後の保持時間を 1 0 分間とし、図 1 0 (b) ではロードイン時の温度を 3 5 0℃、ロードイン後の保持時間を 1 0 分間とし、図 1 0 (b) ではロードイン時及びロードアウト時の温度をそれぞれ 3 5 0℃とした。

【0 0 5 2】

これらの結果から、ロードイン時及びロードアウト時の温度をそれぞれ 3 5 0℃、ロードイン後の保持時間を 1 0 分間に制御すれば、HSQ 膜 1 2 に残存する Si H 量が十分な値、ここでは 7 0 (%) 以上に調節されることが判る。ここで、ロードイン時の温度を比較的低温の 3 5 0℃としたことにより、残留酸素との反応が抑制されたこと、ロードイン後の保持時間を 1 0 分間としたことにより、残留酸素濃度が低減されたことがそれぞれ裏付けられ、従ってこれらの各条件制御により Si - H が Si - O - Si となる架橋反応が調節されて高い残存 Si H 量を得ることが可能となる。

【0 0 5 3】

このように、本実施形態において、HSQ 膜 1 2 を、前記しきい値以上の Si H 量、即ちその塗布形成直後の Si H 量に対するキュア後の HSQ 膜 1 2 の Si H 量が 5 0 (%) 以上の所定値となるように調節して形成することにより、HSQ 膜 1 2 の吸湿性が大幅に低減し、吸湿成分の脱離に起因して上部絶縁層である酸化膜 1 3 に発生すると考えられる線状欠陥が抑止される。

【0 0 5 4】

従って、層間絶縁膜 2 にコンタクトホール 1 5 を形成する際に、被着した配線材料に生じがちな切断を防止するために酸化膜 1 3 に十分な量の等方性エッチングを施しても、酸化膜 1 3 には線状欠陥が殆ど存しないためにエッチング液が下層の HSQ 膜 1 2 へ浸食することがない。即ち、当該層間絶縁膜 2 を例えば多層配線半導体デバイスの配線層間の層間絶縁膜として用いることにより、より優れた平坦化を達成し、配線遅延を抑止するとともに、容易且つ正確に配線間接続を行なうことが可能となる。

【0 0 5 5】

ここで、HSQ の組成式は $\text{HSiO}_{1.5}$ で表され、キュアによる架橋反応によ

り 2 個の H が取れて O が 1 個導入されるので、SiH 量が 50 (%) のときの HSQ の組成式は $H_{0.5} Si O_{1.75}$ で表され、このときの HSQ 膜の H 量は $(0.5 / 3.25) \times 100 \div 15.4$ (atom%) となる。このことから、「HSQ 膜 12 の塗布形成直後の SiH 量に対するキュア後の HSQ 膜の SiH 量が 50 (%) 以上」とは、HSQ 膜 12 の含有する H 量の絶対的な値が 15.4 (atom%) 以上と等価となる。このように H 量 (atom%) で規定するならば、前記しきい値に相当する HSQ 膜 12 の組成状態を、HSQ 膜 12 の形成過程における諸状態の相対的な比較値ではなく、形成された最終的な HSQ 膜 12 について一意に定めることができる。

【0056】

(第 2 の実施形態)

第 2 の実施形態では、半導体記憶装置であるフラッシュメモリに第 1 の実施形態の層間絶縁膜を用いた場合について例示する。なお、第 1 の実施形態で説明した構成部材等と同一のものについては同符号を付する。

【0057】

図 11 は、本実施形態のフラッシュメモリの主要構成を示す概略断面図である。

このフラッシュメモリにおいては、n 型の半導体基板 101 上で例えば LOCOS 法により素子分離構造 102 が形成され、この素子分離構造 102 により各素子活性領域 103 が画定される。そして、メモリセル領域を構成する素子活性領域 103 にはメモリセル 104 が、その周辺回路領域を構成する素子活性領域 103 には各 MOS トランジスタ 105 等がそれぞれ形成されている。更に、メモリ素子 104、MOS トランジスタ 105 等を覆うようにプラズマ CVD 酸化膜 106 及び層間絶縁膜 107 (PSG, BPSG, 高密度プラズマ酸化物等を材料とする。) が形成され、層間絶縁膜 107 上に導電膜 1 がパターン形成されている。そして、導電膜 1 を覆うように 3 層構造の層間絶縁膜 2 が形成されており、更に層間絶縁膜 2 に形成された微細な接続孔であるコンタクトホール 15 を埋め込み層間絶縁膜 2 上で延在する配線層 16 がパターン形成され、コンタクトホール 15 を通じて導電膜 1 と配線層 16 とが電氣的に接続されている。

【 0 0 5 8 】

各メモリセル 1 0 4 は、半導体基板 1 0 1 の表面に形成されたトンネル絶縁膜 1 1 1 を介して多結晶シリコン膜からなる島状の浮遊ゲート 1 1 2 が形成され、この浮遊ゲート 1 1 2 上に誘電体膜 1 1 3 を介して帯状に延在する制御ゲート 1 1 4 及びそのキャップ絶縁膜 1 1 5 が形成され、この制御ゲート 1 1 4 の両側における半導体基板 1 0 1 の表面領域に不純物がイオン注入されてなるソース／ドレイン 1 1 6 が形成され構成されている。このソース／ドレイン 1 1 6 の表面の一部を露出するように層間絶縁膜 1 0 7 にコンタクトホール 1 1 7 が形成され、このコンタクトホール 1 1 7 内にタングステンプラグ 1 1 8 が充填形成されるとともに、このタングステンプラグ 1 1 8 を通じて、ソース／ドレイン 1 1 6 と導電膜 1 とが電氣的に接続されている。

【 0 0 5 9 】

このメモリセル 1 0 4 は、浮遊ゲート 1 1 2 及び制御ゲート 1 1 4 が誘電体膜 1 1 3 を挟んだキャパシタとして機能し、例えば以下に示すように記憶情報の書き込み及び消去を実行する。

【 0 0 6 0 】

まず、記憶情報を書き込むには、制御ゲート 1 1 4 に所定電圧を印加することによりドレイン 1 1 6 近傍で発生した熱電子を浮遊ゲート 1 1 2 に蓄積して行う。他方、記憶消去するには、制御ゲート 1 1 4 を接地してソース 1 1 6 に高電圧を印加することによりソース 1 1 6 と浮遊ゲート 1 1 2 との間に流れる FN (ファウラーノードハイム : Fowler-Nordheim) 電流を利用して行なう。

【 0 0 6 1 】

各 MOS トランジスタ 1 0 5 は、半導体基板 1 0 1 の表面に形成されたゲート絶縁膜 1 2 1 を介して帯状のゲート電極 1 2 2 及びその上にキャップ絶縁膜 1 2 3 がパターン形成され、半導体基板 1 0 1 のゲート電極 1 2 2 の両側に不純物がイオン注入されてソース／ドレイン 1 2 4 が形成され構成されている。そして、ソース／ドレイン 1 2 4 もソース／ドレイン 1 1 6 と同様に、層間絶縁膜 1 0 7 に形成されたコンタクトホール (図示を省略する。) を通じて上層の導電膜 1 と電氣的に接続されている。

【0062】

ここで、メモリセル104及びMOSトランジスタ105に共通して、図示の如く浮遊ゲート112、誘電体膜113及び制御ゲート114の両側面、ゲート電極122及びキャップ絶縁膜123の両側面を覆う側壁絶縁膜（サイドウォール）125を形成し、当該サイドウォール125の形成前後で2度のイオン注入を行なうことにより、いわゆるLDD構造となるようにソース／ドレイン116又はソース／ドレイン124を形成してもよい。また、各MOSトランジスタ105のチャンネルを場合に依りてn、p型としてメモリセル104の周辺回路として機能するCMOSインバータを構成する場合が多く、この場合には図示の如くn型チャンネルを有するMOSトランジスタ105については、半導体基板101にpウェル126を形成し、このpウェル126内にp型のソース／ドレイン124を形成するようにしてもよい。

【0063】

導電膜1は、配線形状にパターニングされて下部配線層として機能するものである。この導電膜1は、アルミニウム系合金材料からなり、下部に密着性を向上させるためのバリアメタル層127、上部にフォトリソグラフィの際の光反射を防止するための反射防止層128が形成されている。ここで、バリアメタル層127はコンタクトホール117の内壁を覆いソース／ドレイン116上に被着されている。即ち、バリアメタル層127／導電膜1／反射防止層128がこの順に積層された後、パターニングにより配線形状に形成されている。

【0064】

層間絶縁膜2は、第1の実施形態で説明したように、酸化窒化膜11、HSQ膜12及び酸化膜13が順次積層されてなるものであり、HSQ膜12がその含有するSiH量がキュア後の塗布直後に対する割合で50（％）以上、又は含有するH量が絶対量で15.4（atom％）以上となるように形成されている。

【0065】

配線層16は、上部配線層として機能するものであり、第1の実施形態で説明したように、層間絶縁膜2の上部になだらかなテーパ形状で幅広の窪み15aが形成されたコンタクトホール15を通じて下部配線層である導電膜1と接続され

ている。この場合も、バリアメタル層 127 / 配線層 16 / 反射防止層 128 がこの順に積層された後、パターニングにより配線形状に形成されている。

【0066】

このように、本実施形態のフラッシュメモリは、層間絶縁膜 2 の一絶縁層として SiH 量 (%) 又は H 量 (atom%) が所定値に調節された HSQ 膜 12 が形成されるとともに、コンタクトホール 15 の上部に等方性エッチングによりなだらかな窪み 15a が設けられているため、微細なコンタクトホール 15 に対する高信頼性の要請と配線遅延を抑止する要請とを共に満たし、容易且つ確実に半導体メモリの更なる高集積化を実現することが可能となる。

【0067】

なお、第 2 の実施形態では、半導体記憶装置としてフラッシュメモリを例示したが、本発明はこれに限定させることはない。例えば EPROM、EEPROM 等の各種不揮発性メモリ、DRAM 等の揮発性メモリ、及び通常の MOS トランジスタ、CMOS インバータなど高集積化が要請されるあらゆる半導体デバイスに適用可能である。

【0068】

更に本発明は、各種フラットディスプレイ等の画像形成装置などに適用しても好適である。具体的には、例えば液晶ディスプレイ (LCD: Liquid Crystal Display) の表示素子が形成されるガラス基板上の余白部位に、薄膜トランジスタ (TFT: Thin Film Transistor) を直接形成する場合があります、この TFT の多層配線構造を形成する際の層間絶縁膜周辺に本発明を適用することができ、これにより微細且つ高速動作を可能とする TFT を備えた好適な LCD が実現できる。

【0069】

なお、以下に示すような種々の態様も本発明の内容をなす。

【0070】

本発明の半導体装置の一態様は、導電膜上に被着形成され、SiH を含有する組成の絶縁層を含む層間絶縁膜を有する半導体装置であって、SiH 量の微小変化により前記絶縁層からの脱ガス量に急激な減少が生じる量の SiH を含有する

【0 0 7 1】

前記半導体装置の一態様において、前記半導体装置は、前記絶縁層を上下から覆う上部絶縁層及び下部絶縁層を有して構成されており、前記接続孔は前記上部絶縁層の表層が前記テーパ状に形成されている。

【0 0 7 2】

前記半導体装置の一態様において、前記上部絶縁層が各々同一材料の膜が積層されてなる多層構造とされている。

【0 0 7 3】

本発明の半導体装置の一態様は、半導体基板上に半導体素子が形成されてなるものであって、前記半導体素子の上面に形成され、当該半導体素子と電氣的に接続されてなる導電膜と、前記導電膜上に形成され、SiHを含有する組成の絶縁層を含む層間絶縁膜とを有しており、前記絶縁層は、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じる量のSiHを含有する。

【0 0 7 4】

本発明の半導体装置の一態様は、半導体基板上に半導体素子が形成されてなるものであって、前記半導体素子の上面に形成され、当該半導体素子と電氣的に接続されてなる導電膜と、前記導電膜上に形成され、SiHを含有する組成の絶縁層を含む層間絶縁膜とを有しており、前記絶縁層は、前記組成中でH含有量が15.4 (atom%) 以上とされたものである。

【0 0 7 5】

前記半導体装置の一態様において、前記半導体素子は、前記半導体基板上にトンネル絶縁膜を介して島状に形成された浮遊ゲートと、前記浮遊ゲート上に誘電体膜を介して延在する制御ゲートと、前記制御ゲートの両側における前記半導体基板の表面領域に形成されたソース／ドレインとを備えてメモリセルが構成され、前記浮遊ゲートの電子量を調節することにより、記憶情報の書き込み及び消去を行なうものである。

【0 0 7 6】

本発明の半導体装置の一態様は、半導体基板上に半導体素子が形成され、前記

半導体素子の上層で当該半導体素子と電氣的に接続された多層配線構造を備えたものであって、前記多層配線構造は、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造とされており、前記層間絶縁膜は、SiHを含有する組成の絶縁層を含み、前記絶縁層は、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じる量のSiHを含有する。

【0077】

本発明の半導体装置の一態様は、半導体基板上に半導体素子が形成され、前記半導体素子の上層で当該半導体素子と電氣的に接続された多層配線構造を備えたものであって、前記多層配線構造は、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造とされており、前記層間絶縁膜は、SiHを含有する組成の絶縁層を含み、前記絶縁層は、前記組成中でH含有量が15.4 (atom%) 以上とされたものである。

【0078】

前記半導体装置の一態様において、前記接続孔は、上部の壁面がなだらかなテーパー状に形成されている。

【0079】

前記半導体装置の一態様において、前記層間絶縁膜は、前記絶縁層を上下から覆う上部絶縁層及び下部絶縁層を有して構成されており、前記接続孔は前記上部絶縁層の表層が前記テーパー状に形成されている。

【0080】

前記半導体装置の一態様において、前記上部絶縁層が各々同一材料の膜が積層されてなる多層構造とされている。

【0081】

本発明の層間絶縁膜の一態様は、導電膜上に被着形成され、SiHを含有する組成の絶縁層を含む層間絶縁膜を備えたものであって、前記絶縁層は、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じる量のSiHを含有する。

【0082】

本発明の層間絶縁膜の一態様は、導電膜上に被着形成され、SiHを含有する組成の絶縁層を含むものであって、前記絶縁層は、前記組成中でH含有量が15.4 (atom%) 以上とされたものである。

【0083】

本発明の層間絶縁膜の形成方法の一態様は、導電膜上に被着形成されるSiHを含有する組成の絶縁層を含む層間絶縁膜を対象としたものであって、前記絶縁層を、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じるSiH含有量に調節して形成する。

【0084】

本発明の層間絶縁膜の形成方法の一態様は、導電膜上に被着形成されるSiHを含有する組成の絶縁層を含む層間絶縁膜を対象としたものであって、前記絶縁層の材料膜を塗布形成する工程と、塗布された前記材料膜にキュアを施し、前記材料膜の含有するSiH量を塗布直後の50 (%) 以上の所定値に調節して、前記絶縁層を形成する工程とを備える。

【0085】

本発明の層間絶縁膜の形成方法の一態様は、導電膜上に被着形成されるSiHを含有する組成の絶縁層を含む層間絶縁膜を対象としたものであって、前記層間絶縁膜をSiHを含有する組成の絶縁層を含むものとし、前記絶縁層の材料膜を塗布形成する工程と、形成された前記材料膜にキュアを施し、前記材料膜の前記組成中のH量を15.4 (atom%) 以上の所定値に調節して、前記絶縁層を形成する工程とを備える。

【0086】

前記層間絶縁膜の形成方法の一態様では、前記材料膜にキュアを施す工程において、キュア炉中へのロードイン温度及びロードアウト温度の少なくとも一方を350℃以下の所定温度とする。

【0087】

前記層間絶縁膜の形成方法の一態様では、前記材料膜にキュアを施す工程において、キュア炉中へのロードイン後に前記ロードイン時の温度で10分以上継続

してキュアを施す。

【0088】

前記層間絶縁膜の形成方法の一態様において、下部絶縁層、前記絶縁層及び上部絶縁層を順次堆積して前記層間絶縁膜を形成する。

【0089】

本発明の接続孔の形成方法の一態様は、導電膜上にSiHを含有する組成の絶縁層を含む層間絶縁膜を被着形成する際に、前記絶縁層を、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じるSiH含有量に調節して形成する工程と、前記上部絶縁層の表層に等方性エッチングを施し、前記表層に壁面がなだらかなテーパ状の窪みを形成する工程と、前記窪みから前記層間絶縁膜を貫通して前記導電膜の表面の一部を露出させる接続孔を形成する工程とを備える。

【0090】

本発明の接続孔の形成方法の一態様は、導電膜上にSiHを含有する組成の絶縁層を含む層間絶縁膜を被着形成する際に、前記絶縁層の材料膜を塗布形成した後、塗布された前記材料膜にキュアを施し、前記材料膜の含有するSiH量を塗布直後の50(%)以上の所定値に調節して、前記絶縁層を形成する工程と、前記上部絶縁層の表層に等方性エッチングを施し、前記表層に壁面がなだらかなテーパ状の窪みを形成する工程と、前記窪みから前記層間絶縁膜を貫通して前記導電膜の表面の一部を露出させる接続孔を形成する工程とを備える。

【0091】

本発明の接続孔の形成方法の一態様は、導電膜上にSiHを含有する組成の絶縁層を含む層間絶縁膜を被着形成する際に、前記絶縁層の材料膜を塗布形成した後、形成された前記材料膜にキュアを施し、前記材料膜の前記組成中のH量を15.4(atom%)以上の所定値に調節して、前記絶縁層を形成する工程と、前記上部絶縁層の表層に等方性エッチングを施し、前記表層に壁面がなだらかなテーパ状の窪みを形成する工程と、前記窪みから前記層間絶縁膜を貫通して前記導電膜の表面の一部を露出させる接続孔を形成する工程とを備える。

【0092】

本発明の半導体装置の製造方法の一態様は、半導体基板上に半導体素子が形成され、前記半導体素子の上層で当該半導体素子と電氣的に接続された多層配線構造を備えた半導体装置を対象としており、前記多層配線構造を、層間絶縁膜を介して形成された導電膜又は下部配線層と上部配線層とが前記層間絶縁膜に形成された接続孔を介して電氣的に接続されてなる少なくとも2層配線構造に形成し、前記層間絶縁膜を構成する少なくとも一絶縁層を、SiHを含有する組成の材料膜を塗布形成した後、SiH量の微小増加により前記絶縁層からの脱ガス量に急激な減少が生じるSiH含有量に調節して形成する。

【0093】

前記製造方法の一態様では、前記材料膜にキュアを施す工程において、キュア炉中へのロードイン温度及びロードアウト温度の少なくとも一方を350℃以下の所定温度とする。

【0094】

前記製造方法の一態様では、前記材料膜にキュアを施す工程において、キュア炉中へのロードイン後に前記ロードイン時の温度で10分以上継続してキュアを施す。

【0095】

前記製造方法の一態様では、前記接続孔を、前記層間絶縁膜の表層に等方性エッチングを施し、前記表層に壁面がなだらかなテーパ状の窪みを形成した後、前記窪みから前記層間絶縁膜を貫通して前記導電膜の表面の一部を露出させて形成する。

【0096】

【発明の効果】

本発明によれば、配線遅延を抑止するのに好適な低誘電率絶縁材料を用いた絶縁層を層間絶縁膜に採用するとともに、微細コンタクトホールを用いた確実な多層配線接続を実現することができる。即ち、微細コンタクトホールに対する高信頼性の要請と配線遅延を抑止する要請とを共に満たし、容易且つ確実に各種デバイス、特に半導体デバイスの高集積化に寄与することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態において、層間絶縁膜にコンタクトホールを形成する多層配線接続を行なう方法を工程順に示す概略断面図である。

【図 2】

図 1 に引き続き、層間絶縁膜にコンタクトホールを形成する多層配線接続を行なう方法を工程順に示す概略断面図である。

【図 3】

図 2 に引き続き、層間絶縁膜にコンタクトホールを形成する多層配線接続を行なう方法を工程順に示す概略断面図である。

【図 4】

H S Q 膜を形成する際の、バーク工程に続くキュア工程のシーケンスを示す特性図である。

【図 5】

S i H 量の制御を考慮せずに H S Q 膜を形成した場合の様子を示す概略断面図である。

【図 6】

含有する S i H 量を制御することなく H S Q 膜を形成し、これを覆うように単層の酸化膜を形成した比較例を示す概略断面図である。

【図 7】

H S Q 膜の S i H の量と当該 H S Q 膜からの脱ガス量との相関関係を示す特性図である。

【図 8】

フーリエ変換赤外分光法 (F T - I R) により H S Q 膜のスペクトルの相対値を測定した結果を示す特性図である。

【図 9】

等方性エッチング量とバブル欠陥数との関係を示す特性図である。

【図 1 0】

H S Q 膜のキュア時におけるロードイン時の温度及びその後の保持時間、ロードアウト時の温度の各条件と S i H 量 (%) との関係を示す特性図である。

【図 1 1】

第 2 の実施形態のフラッシュメモリの主要構成を示す概略断面図である。

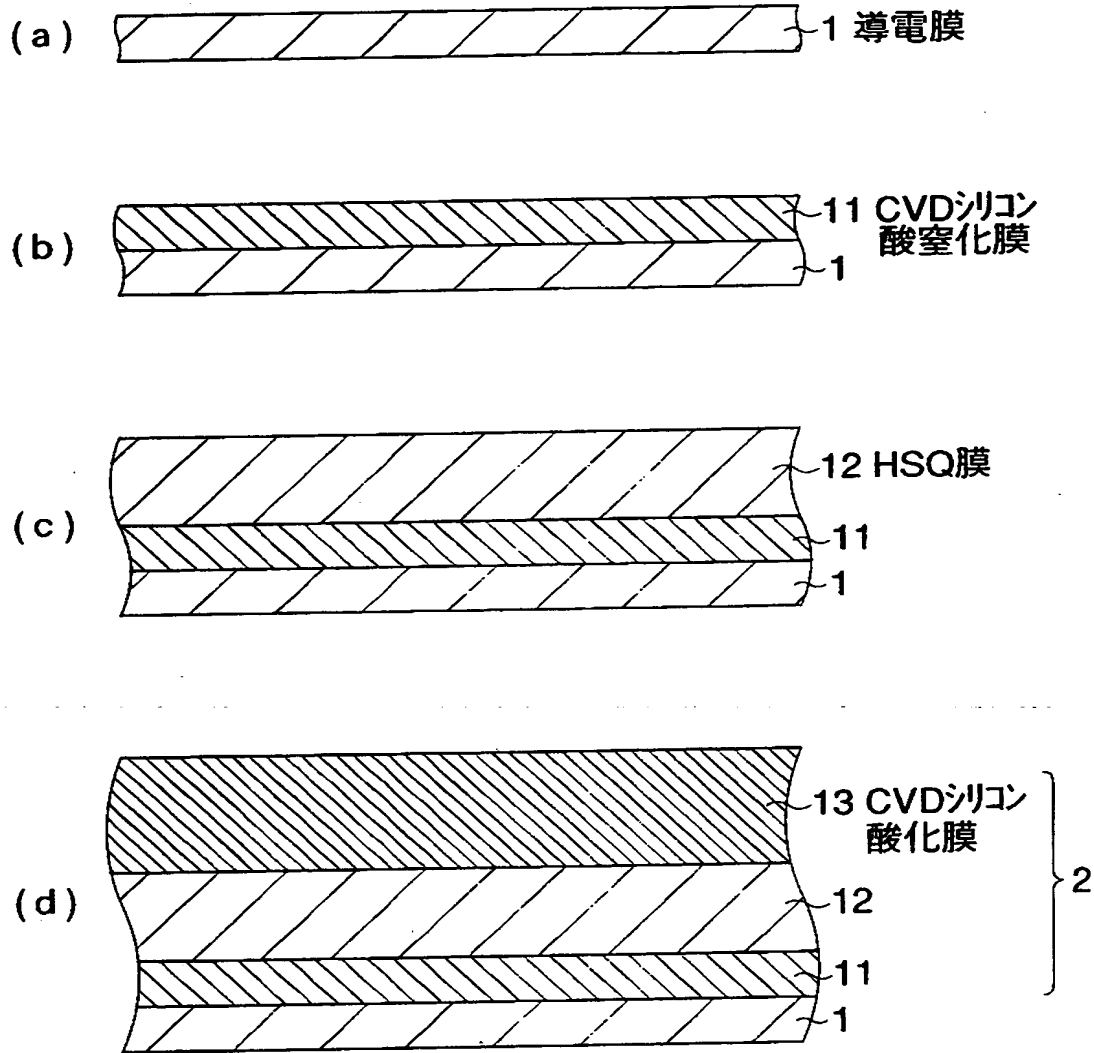
【符号の説明】

- 1 導電膜
- 2 層間絶縁膜
- 1 1 プラズマシリコン酸化膜
- 1 2, 2 1 HSQ 膜
- 1 3 プラズマ CVD シリコン酸化膜
- 1 4 フォトレジスト
- 1 4 a コンタクトパターン
- 1 5 コンタクトホール
- 1 6 配線層
- 2 2 欠陥核
- 2 3, 2 4 線状欠陥
- 2 5 エッチング欠陥
- 1 0 1 半導体基板
- 1 0 2 素子分離構造
- 1 0 3 素子活性領域
- 1 0 4 メモリセル
- 1 0 5 MOS トランジスタ
- 1 0 6 プラズマ CVD 酸化膜
- 1 0 7 層間絶縁膜
- 1 1 1 トンネル絶縁膜
- 1 1 2 浮遊ゲート
- 1 1 3 誘電体膜
- 1 1 4 制御ゲート
- 1 1 5, 1 2 3 キャップ絶縁膜
- 1 1 6, 1 2 4 ソース／ドレイン
- 1 1 7 コンタクトホール

- 1 1 8 タングステンプラグ
- 1 2 1 ゲート絶縁膜
- 1 2 2 ゲート電極
- 1 2 5 側壁絶縁膜
- 1 2 6 p ウェル
- 1 2 7, 1 2 9 バリアメタル層
- 1 2 8, 1 3 0 反射防止層

【書類名】 図面

【図 1】



多層配線工程図

【図 2】

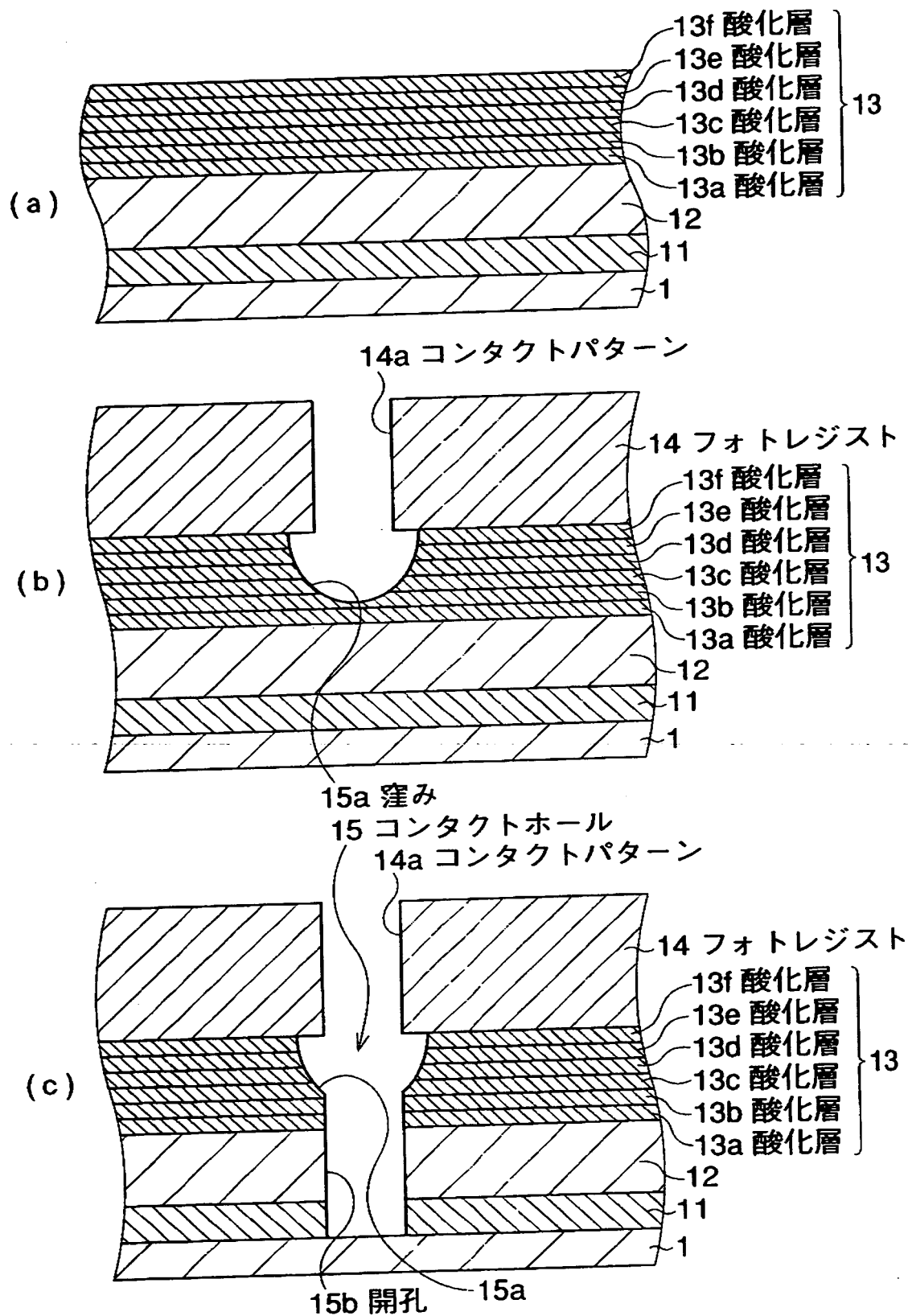


図1に続く多層配線工程図

【図 3】

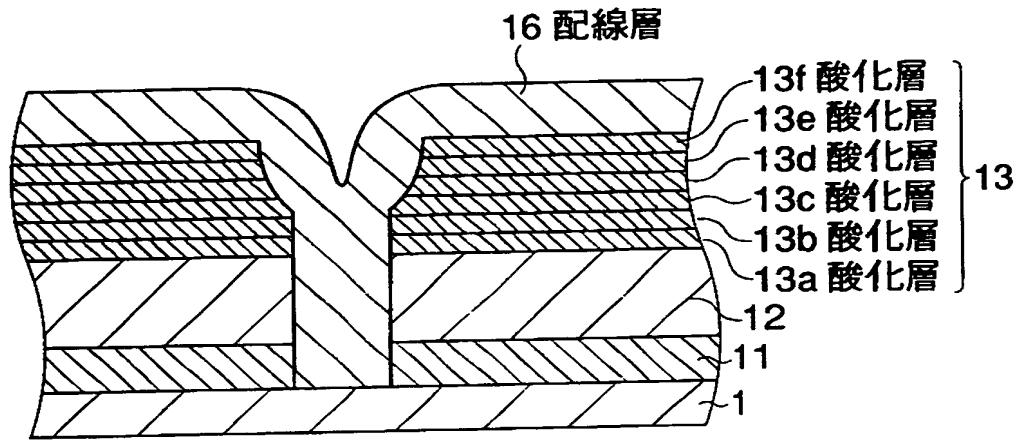
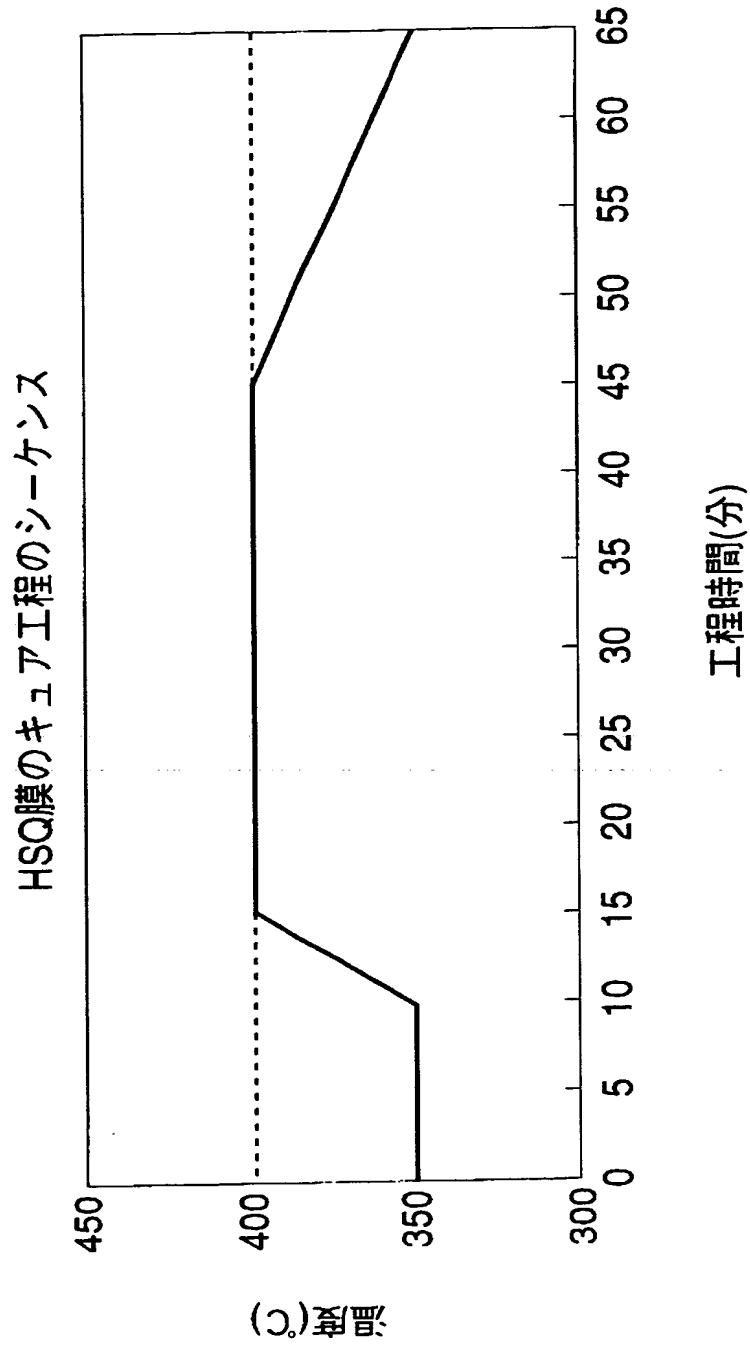
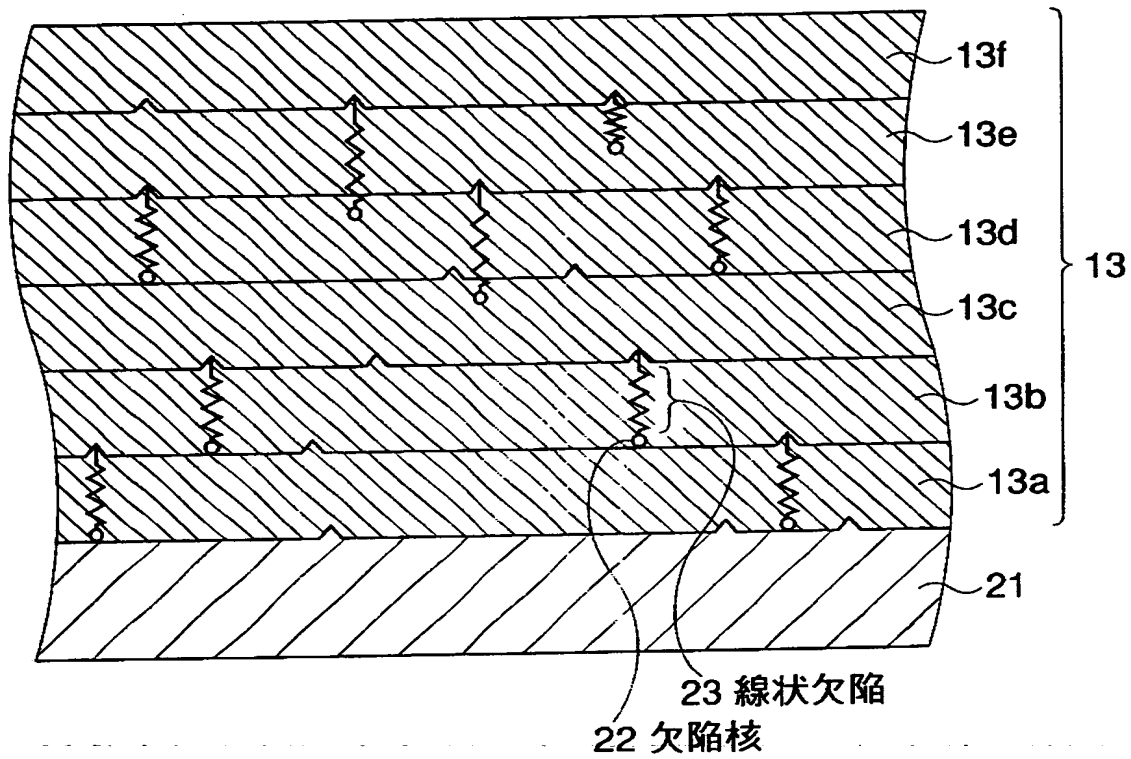


図 2 に続く多層配線工程図

【図 4】

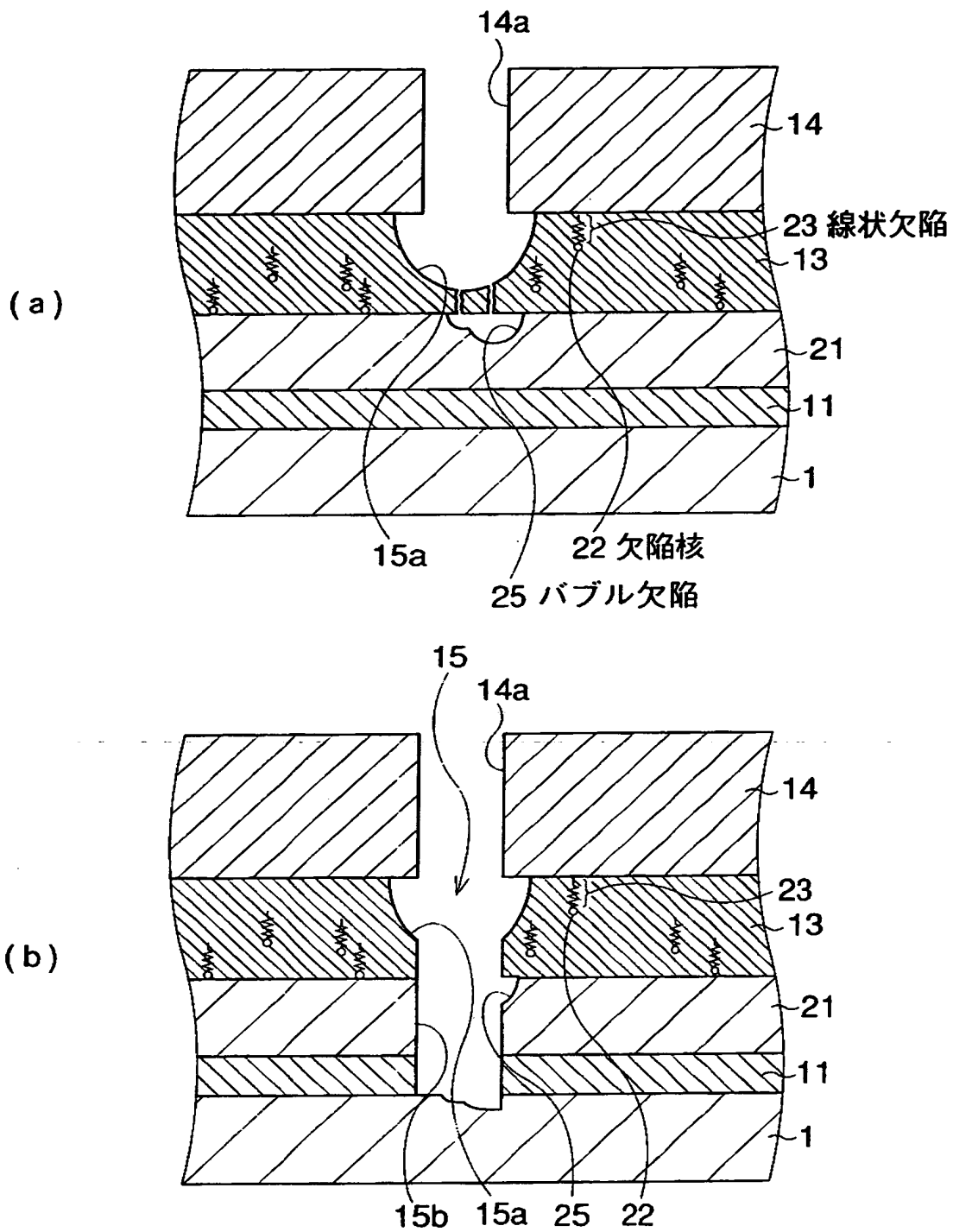


【図 5】



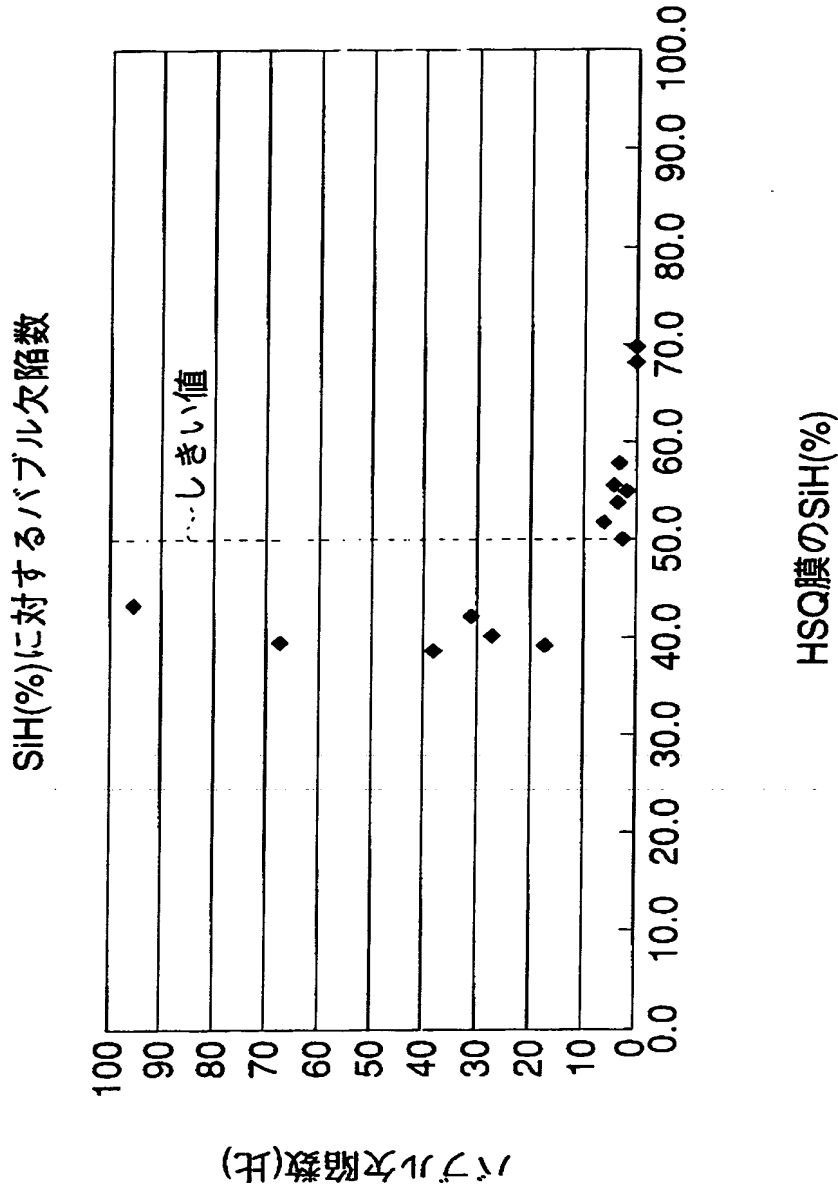
SiH量を考慮せずに6層のCVDシリコン酸化膜を形成した断面図

【図 6】

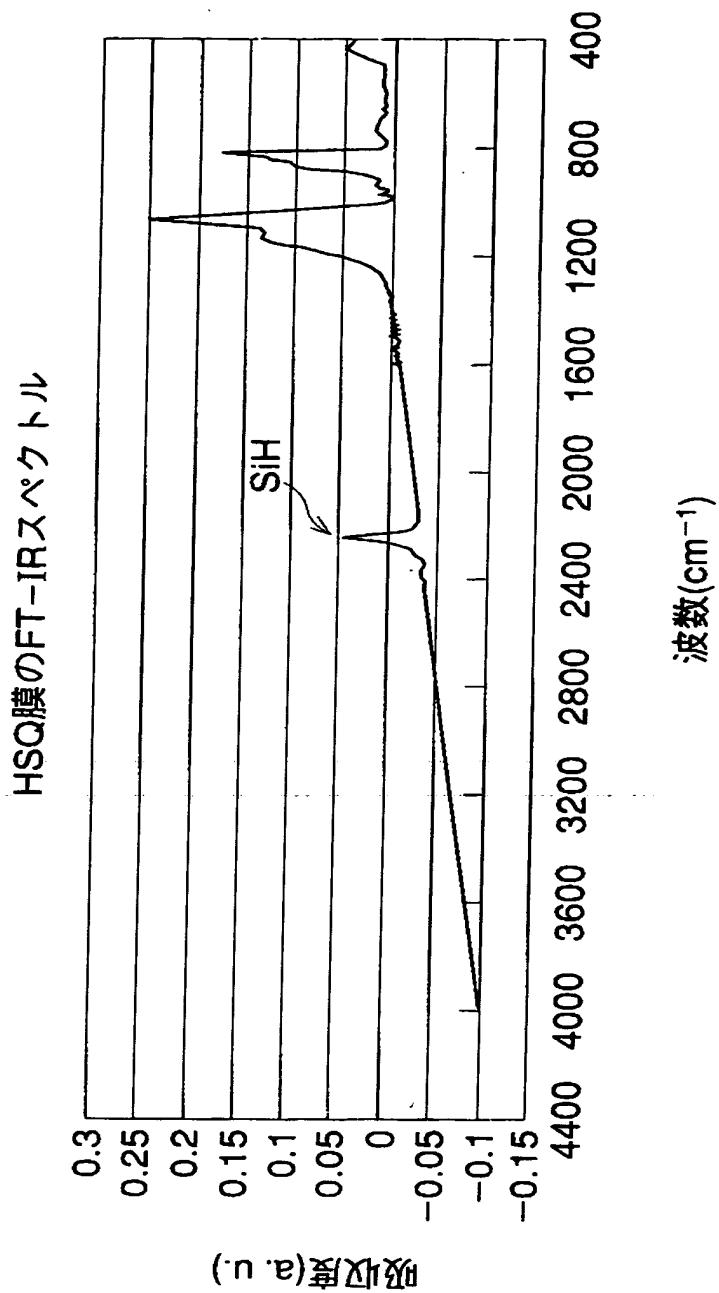


SiH量を考慮せずに単層のCVDシリコン酸化膜を形成した断面図

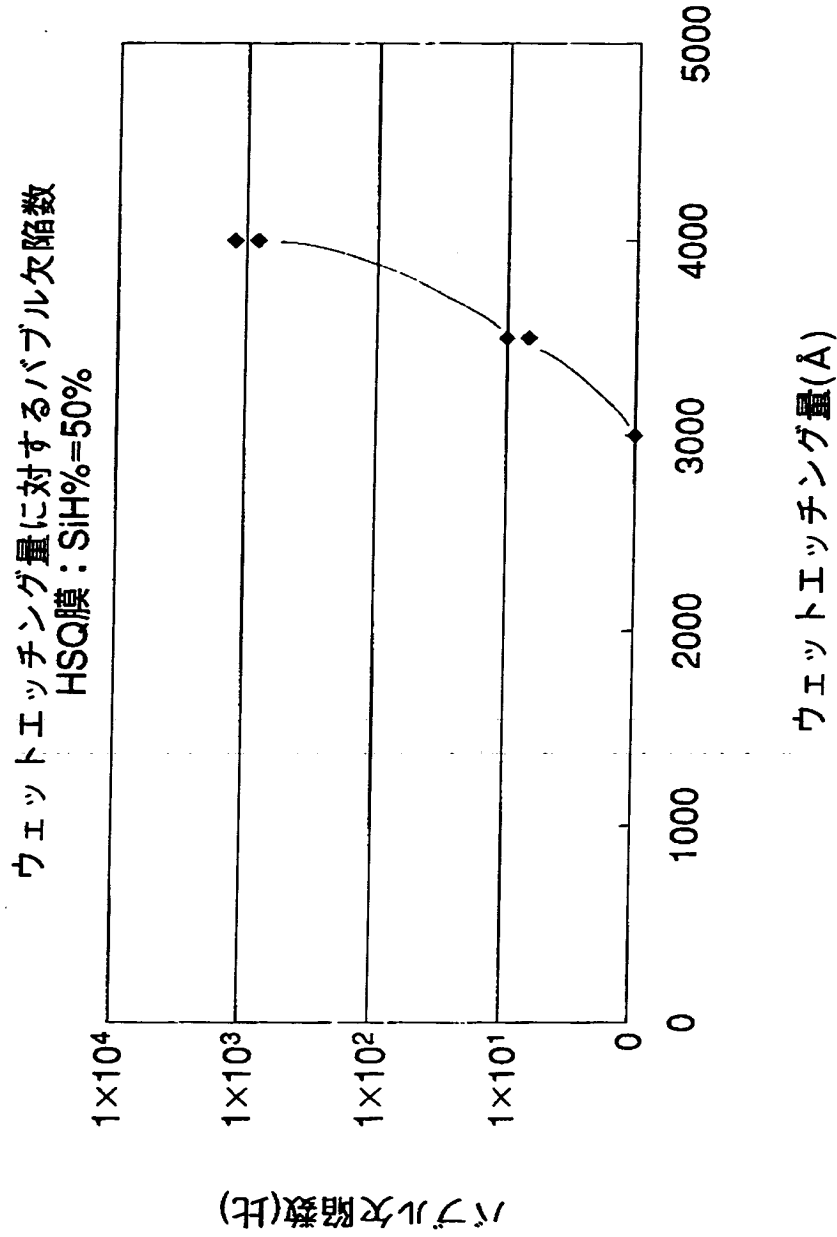
【図 7】



【図8】

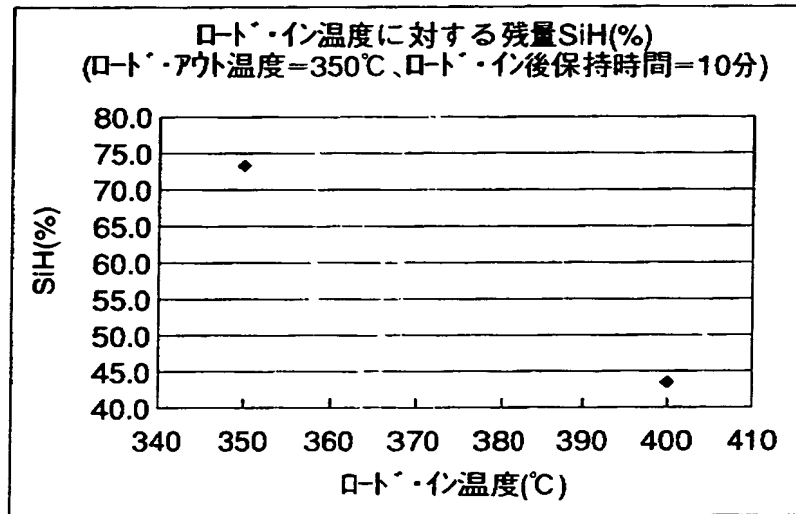


【図9】

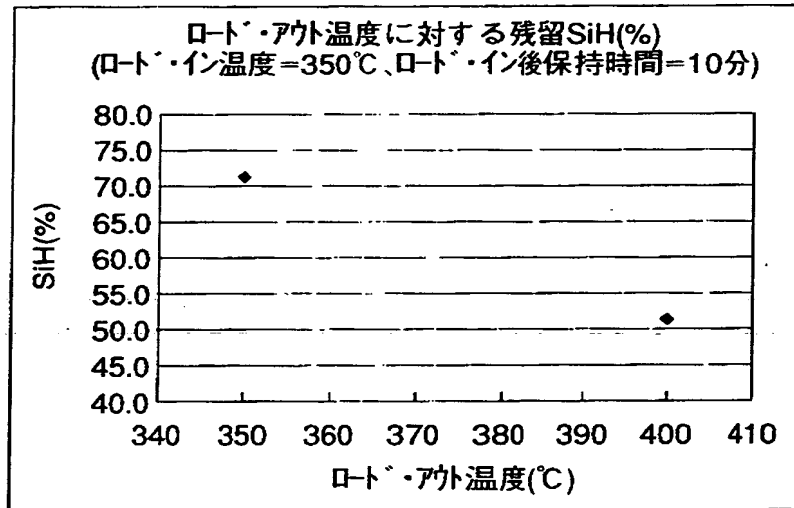


【図10】

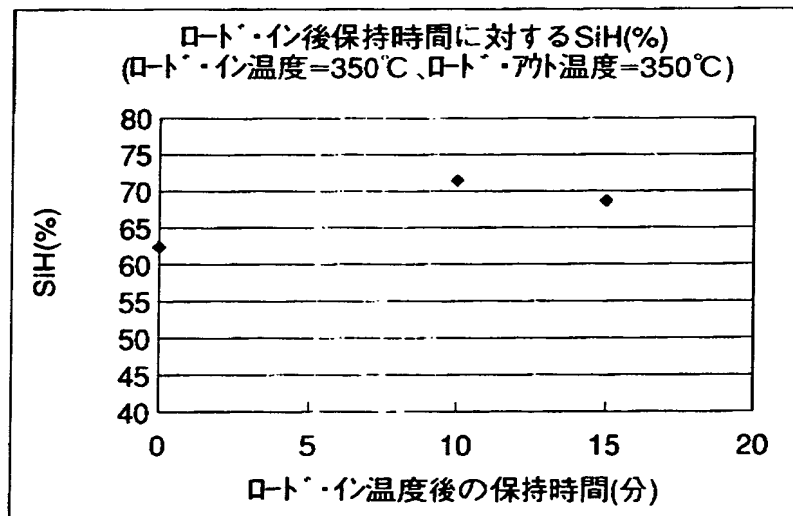
(a)



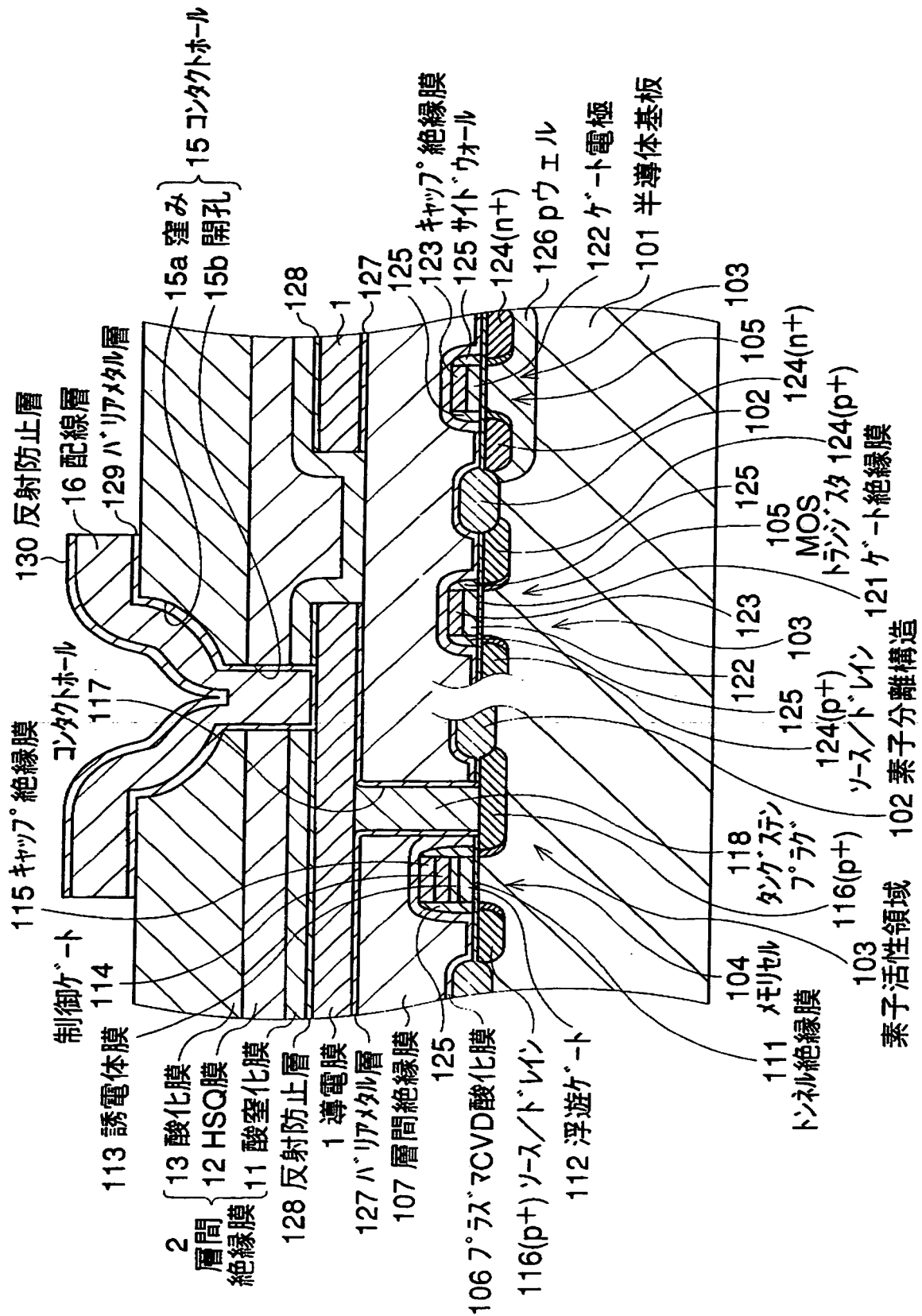
(b)



(c)



【図 11】



認定・付加情報

特許出願の番号	平成 11 年 特許願 第 140346 号
受付番号	59900477527
書類名	特許願
担当官	長谷川 実 1921
作成日	平成 11 年 6 月 2 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【特許出願人】

【識別番号】	591016172
【住所又は居所】	アメリカ合衆国、94088-3453 カリフォルニア州、サニイバイル、ピィ・オウ・ボックス・3453、ワン・エイ・エム・ディ・プレイ アメリカ合衆国
【氏名又は名称】	アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド

【特許出願人】

【識別番号】	596180124
【住所又は居所】	福島県会津若松市門田町工業団地 6 番
【氏名又は名称】	富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

申請人	
【識別番号】	100072590
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
【氏名又は名称】	井桁 貞一

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [591016172]

1. 変更年月日 1994年 4月 5日

[変更理由] 住所変更

住 所 アメリカ合衆国、94088-3453 カリフォルニア州、
サニibel、パイ・オウ・ボックス・3453、ワン・エイ
・エム・ディ・プレイス (番地なし)

氏 名 アドバンスト・マイクロ・ディバイシズ・インコーポレイテッ
ド

出 願 人 履 歴 情 報

識別番号 [596180124]

1. 変更年月日 1996年12月13日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地6番

氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社